

I.I.S. “Benvenuto Cellini”

Corso di formazione tecnica

Architettura dei sistemi x86 – Interfacce I/O

Prof. Alessandro Pinto

v.2009

Bus ISA (Industry Standard Architecture)

(1981 – metà anni '90)

Bus di interconnessione I/O parallelo (bus di sistema), estende il bus del microprocessore verso il mondo esterno

Versione XT: 8 bit con clock 4,77MHz

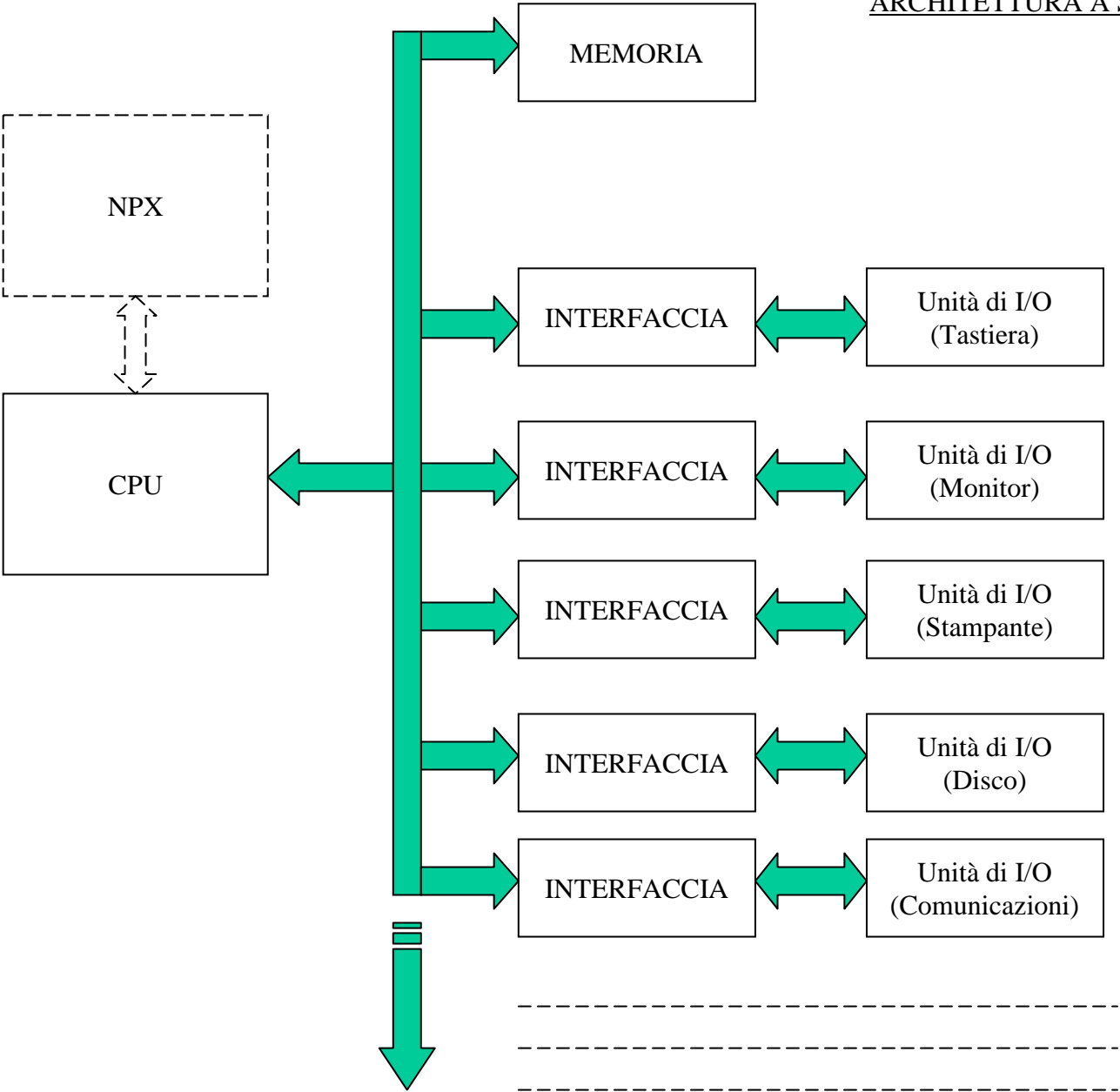
Versione AT: 16 bit con clock 8MHz

Throughput: <5MB/s

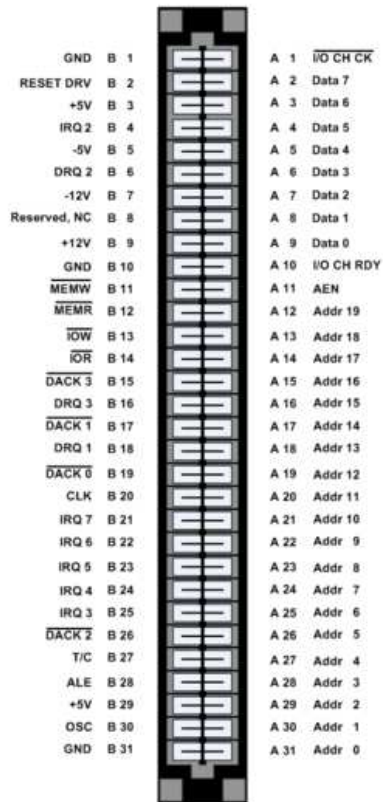
Stesso clock della cpu nelle prime versioni, successivamente distinto e fissato a 8.33MHz per questioni di compatibilità. Il bus di espansione viene separato dal bus della cpu (host bus o local bus) tramite un controller

	XT (8bit)	AT (16bit)
Connettore	Conn. a pettine (31+31) pin	(31+31)+(18+18)
Bus Indirizzi	20 bit	20 + 4 bit
Bus Dati	8 bit	16 bit
Interrupt	8	8+8
DMA	3 canali	3+ 4 (a 16bit)
Alimentazione	+5V, -5V, +12V, -12V	

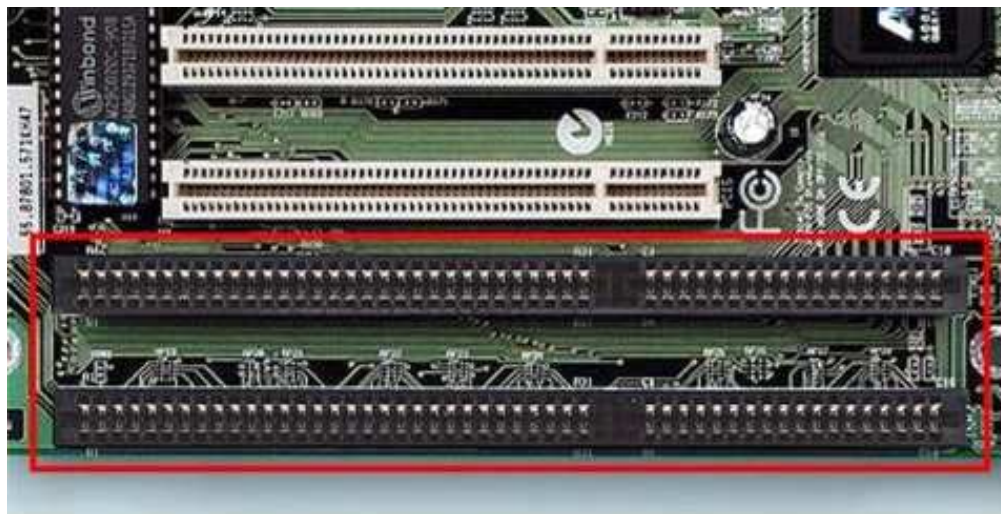
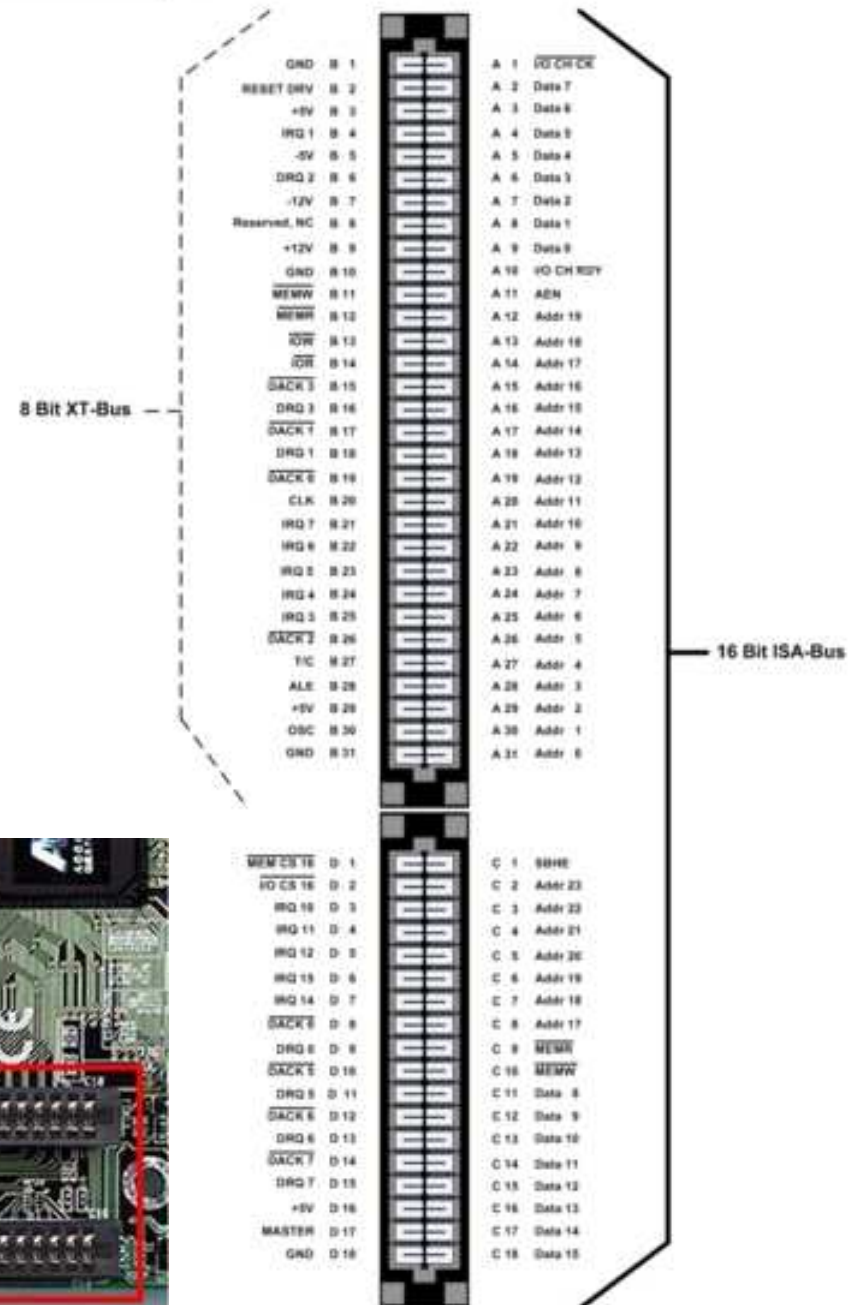
ARCHITETTURA A SINGOLO BUS



8 Bit XT Bus – top view



16 Bit ISA Bus – top view



Per installare una scheda periferica sul bus ISA è richiesta la conoscenza (e configurazione) dei seguenti parametri:

- Indirizzo I/O
- linea IRQ
- canale DMA (se utilizzato)

Questi dati possono essere prefissati oppure, più frequentemente, è possibile variarli (per evitare conflitti con altri dispositivi) entro un range deciso, dal costruttore, agendo su jumper o dip-switch sulla scheda stessa.

Es. Scheda Audio Sound Blaster (tra parentesi i valori predefiniti) :

Interrupt (IRQ): 2, [5], 7, 10
8-bit DMA Channel: 0, [1], 3
16-bit DMA Channel: [5], 6, 7
Joystick I/O Address: 200 Hex
Audio I/O Address: [220], 240, 260, 280
MPU-401 I/O Address: 300, [330] Hex
FM Synthesizer I/O Address: 388 Hex

Bus EISA (Extended Industry Standard Architecture)

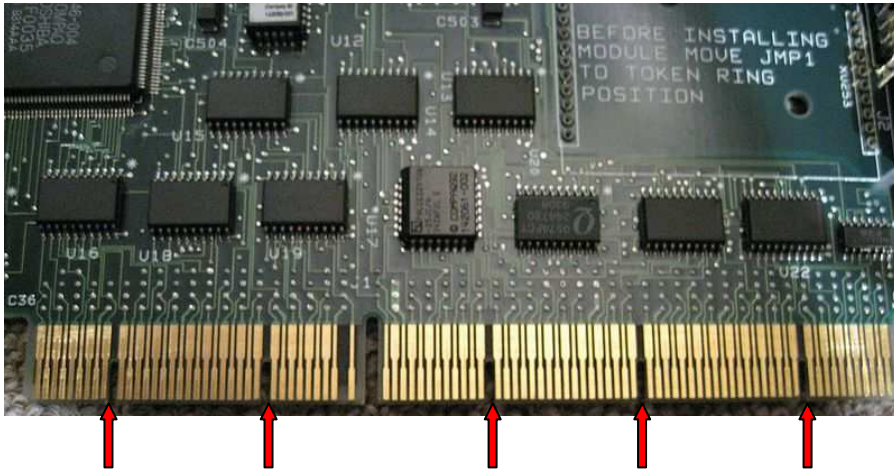
(1988 – metà anni '90)

Larghezza del bus	32 bit
Compatibilità	8 bit ISA, 16 bit ISA, 32 bit EISA
Connettore	98+100 pin (intercalati)
Alimentazione	+5V, 5V, +12V, -12V
Clock	8.33MHz
Data rate	32MB/s [8.33 MHz x 4 byte]
Transfer rate utile	<20MB/s

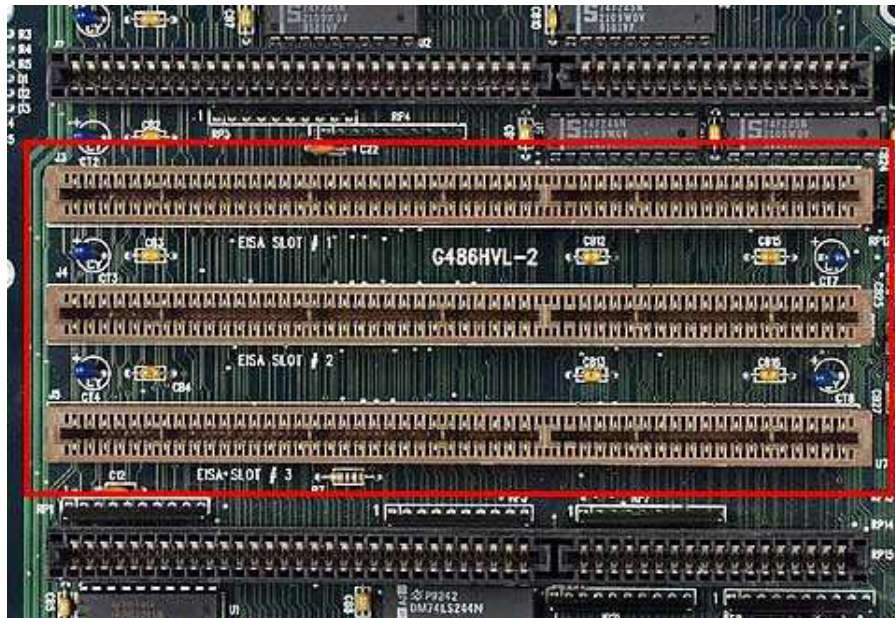
Altre innovazioni del bus EISA

- BUS MASTER: la periferica può comunicare direttamente con altri dispositivi tramite il bus senza interagire con la CPU
- Configurazione via Software: le risorse hardware delle periferiche EISA (IRQ, DMA, indirizzi) non richiedono il settaggio tramite jumper ma tramite apposite utility software. (Bozza di Plug&Play)

L'impiego del bus EISA è stato essenzialmente limitato a macchine di fascia alta (server). La maggior parte delle periferiche EISA disponibili erano interfacce SCSI e schede di rete.



La compatibilità ISA/EISA è assicurata per via meccanica: le schede EISA presentano i tagli nelle posizioni indicate che consentono la completa inserzione nello slot e l'impiego di tutti i pin del connettore. Le schede ISA, viceversa, non vengono inserite a fondo e il contatto è limitato alla sola porzione di connettore compatibile ISA.



32 Bit EISA Bus – top view

GN D	F 1	GN D	B 1	A 1	IO CH CK	E 1	GN D
+5V	F 2	RESE T DRV	B 2	A 2	Data 7	E 2	START
+5V	F 3	+5V	B 3	A 3	Data 6	E 3	EE RDY
X, NC	F 4	IRQ 1	B 4	A 4	Data 5	E 4	EX 32
X, NC	F 5	-5V	B 5	A 5	Data 4	E 5	GN D
Koderung, Key	F 6	DRQ 2	B 6	A 6	Data 3	E 6	Koderung, Key
X, NC	F 7	-12V	B 7	A 7	Data 2	E 7	EX 16
X, NC	F 8	Reservat, NC	B 8	A 8	Data 1	E 8	SLBURST
+12V	F 9	+12V	B 9	A 9	Data 0	E 9	MSBURST
M-IO	F 10	GN D	B 10	A 10	IO CH RDY	E 10	W - R
LOCK	F 11	MEM#	B 11	A 11	AEN	E 11	GN D
Reservat	F 12	MEM#	B 12	A 12	Addr 16	E 12	Reservat
GN D	F 13	IO#	B 13	A 13	Addr 15	E 13	Reservat
Reservat	F 14	IO#	B 14	A 14	Addr 14	E 14	Reservat
SE 2	F 15	DACK 3	B 15	A 15	Addr 13	E 15	GN D
Koderung, Key	F 16	DACK 1	B 16	A 16	Addr 12	E 16	Koderung, Key
SE 2	F 17	DRQ 1	B 17	A 17	Addr 11	E 17	SE 1
SE 0	F 18	DACK 0	B 18	A 18	Addr 10	E 18	LA 31
GN D	F 19	CLK	B 19	A 19	Addr 9	E 19	GN D
+5V	F 20	IRQ 7	B 20	A 20	Addr 8	E 20	LA 28
LA 20	F 21	IRQ 8	B 21	A 21	Addr 7	E 21	LA 26
GN D	F 22	IRQ 5	B 22	A 22	Addr 6	E 22	LA 27
LA 26	F 23	IRQ 4	B 23	A 23	Addr 5	E 23	LA 25
LA 24	F 24	IRQ 3	B 24	A 24	Addr 4	E 24	GN D
Koderung, Key	F 25	DACK 2	B 25	A 25	Addr 3	E 25	Koderung, Key
LA 16	F 26	TIC	B 26	A 26	Addr 2	E 26	LA 15
LA 14	F 27	ALE	B 27	A 27	Addr 1	E 27	LA 13
+5V	F 28	+5V	B 28	A 28	Addr 0	E 28	LA 12
+5V	F 29	+5V	B 29	A 29	Addr 0	E 29	LA 11
GN D	F 30	DSC	B 30	A 30	Addr 0	E 30	GN D
LA 10	F 31	GN D	B 31	A 31	Addr 0	E 31	LA 9

LA 9	H 1	MEM/CS 16	D 1	C 1	SBHE	G 1	LA 7
LA 6	H 2	IO CS 16	D 2	C 2	Addr 23	G 2	GN D
LA 5	H 3	IRQ 15	D 3	C 3	Addr 22	G 3	LA 4
+5V	H 4	IRQ 11	D 4	C 4	Addr 21	G 4	LA 3
LA 2	H 5	IRQ 12	D 5	C 5	Addr 20	G 5	GN D
Koderung, Key	H 6	IRQ 13	D 6	C 6	Addr 19	G 6	Koderung, Key
Data 16	H 7	IRQ 14	D 7	C 7	Addr 18	G 7	Data 17
Data 18	H 8	DACK 0	D 8	C 8	Addr 17	G 8	Data 19
GN D	H 9	DRQ 0	D 9	C 9	MEM#	G 9	Data 20
Data 21	H 10	DACK 0	D 10	C 10	MEM#	G 10	Data 22
Data 23	H 11	DRQ 5	D 11	C 11	Data 8	G 11	GN D
Data 24	H 12	DACK 5	D 12	C 12	Data 9	G 12	Data 25
GN D	H 13	DRQ 6	D 13	C 13	Data 10	G 13	Data 26
Data 27	H 14	DACK 7	D 14	C 14	Data 11	G 14	Data 28
Koderung, Key	H 15	DRQ 7	D 15	C 15	Data 12	G 15	Koderung, Key
Data 29	H 16	+5V	D 16	C 16	Data 13	G 16	GN D
+5V	H 17	MASTER	D 17	C 17	Data 14	G 17	Data 30
+5V	H 18	GN D	D 18	C 18	Data 15	G 18	Data 31
MAC KN	H 19					G 19	MRE CH

Bus VLB (VESA Local Bus) VESA - Video Electronics Standards Association

(1993-1994)

Nato come soluzione “temporanea” alla limitata larghezza di banda del bus ISA, la vita utile è stata limitata ai 486.

E' un bus locale che ha avuto particolare impiego per l'interfacciamento con la scheda video su PC basati su 486.

Il termine “locale” significa che opera alla stessa velocità del processore, contrariamente al bus ISA nel quale il clock è fissato a 8MHz.

Il VLB lavora a fianco dell'ISA (del quale costituisce estensione compatibile) come collegamento ad alta velocità per l'accesso diretto alla memoria.

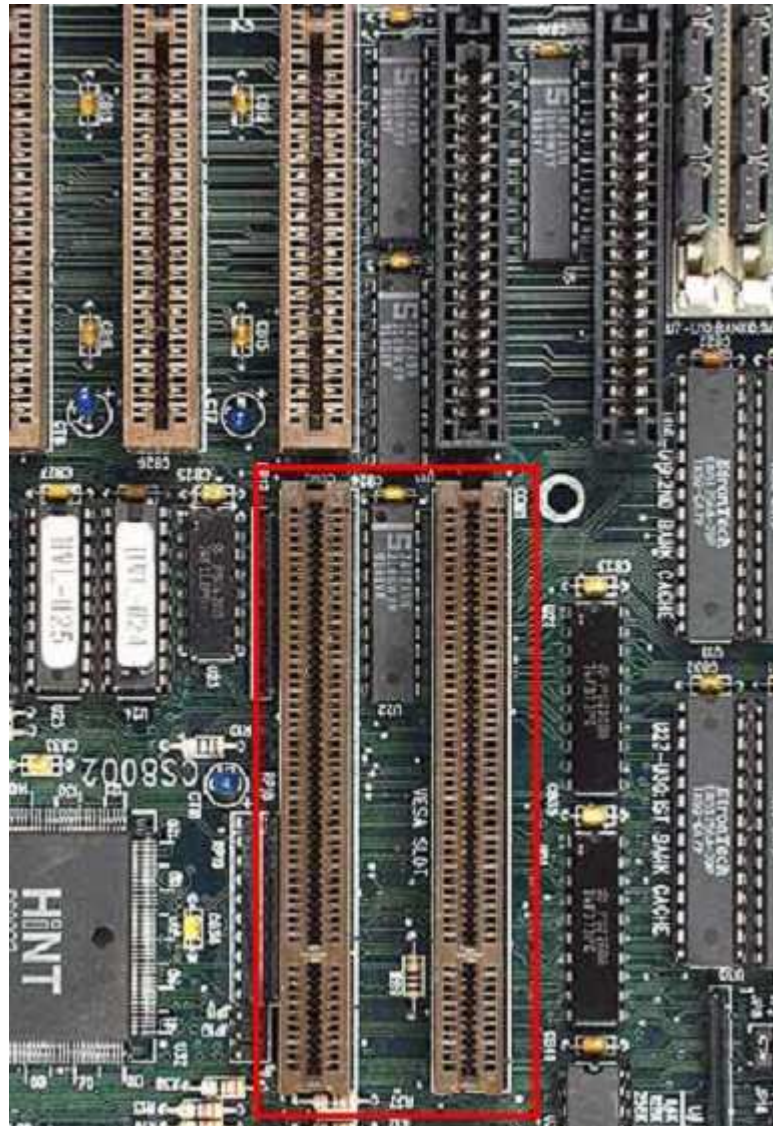
Fisicamente lo slot VLB si presenta come uno slot addizionale (tipicamente di colore marrone) allineato con uno slot ISA

Larghezza del bus	32 bit
Compatibilità	8 bit ISA, 16 bit ISA, 32 bit VLB
Connettore	112 pin
Alimentazione	+5V
Clock	25-33-40MHz (CPU clock)
Data rate (teorico)	133MB/s

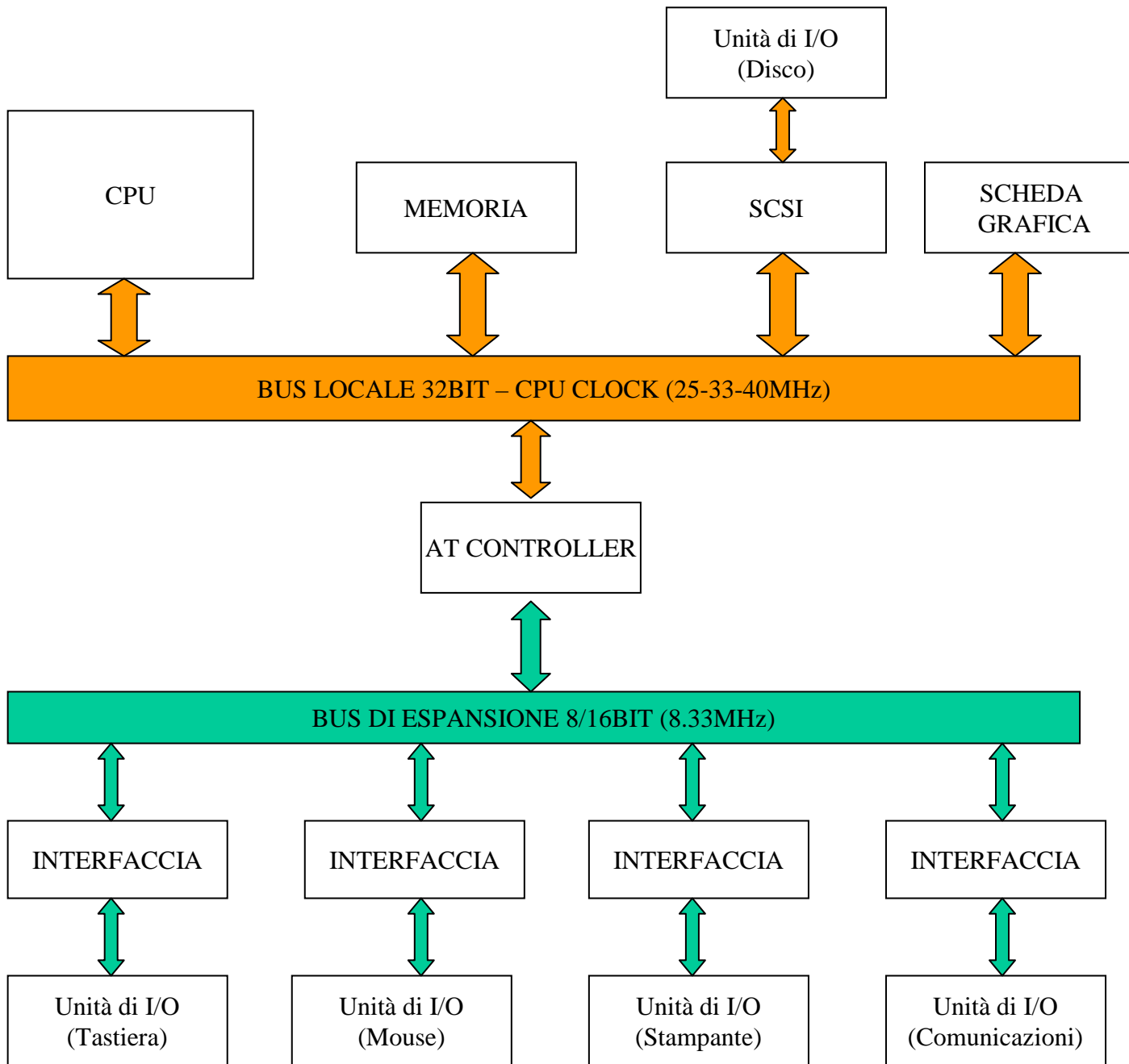
Limiti:

- Legato all'architettura del 486
- Numero limitato di slot (max 2) a causa di problemi di natura elettrica
- Problemi di affidabilità / stabilità

Vesa Local Bus – top view



Data 0	D 0	B 1	A 1	D 1	Data 1
Data 2	D 2	B 2	A 2	D 3	Data 3
Data 4	D 4	B 3	A 3	GND	Ground
Data 6	D 6	B 4	A 4	D 5	Data 5
Data 8	D 8	B 5	A 5	D 7	Data 7
Ground	GND	B 6	A 6	D 9	Data 9
Data 10	D 10	B 7	A 7	D 11	Data 11
Data 12	D 12	B 8	A 8	D 13	Data 13
+5V	VCC	B 9	A 9	D 15	Data 15
Data 14	D 14	B 10	A 10	GRD	Ground
Data 16	D 16	B 11	A 11	D 17	Data 17
Data 18	D 18	B 12	A 12	VCC	+5V
Data 20	D 20	B 13	A 13	D 19	Data 19
Ground	GND	B 14	A 14	D 21	Data 21
Data 22	D 22	B 15	A 15	D 23	Data 23
Data 24	D 24	B 16	A 16	D 25	Data 25
Data 26	D 26	B 17	A 17	GRD	Ground
Data 28	D 28	B 18	A 18	D 27	Data 27
Data 30	D 30	B 19	A 19	D 29	Data 29
+5V	VCC	B 20	A 20	D 31	Data 31
Address 31	A 31	B 21	A 21	A 30	Address 30
Ground	GND	B 22	A 22	A 28	Address 28
Address 29	A 29	B 23	A 23	A 26	Address 26
Address 27	A 27	B 24	A 24	GRD	Ground
Address 25	A 25	B 25	A 25	A 24	Address 24
Address 23	A 23	B 26	A 26	A 22	Address 22
Address 21	A 21	B 27	A 27	VCC	+5V
Address 19	A 19	B 28	A 28	A 20	Address 20
Ground	GND	B 29	A 29	A 18	Address 18
Address 17	A 17	B 30	A 30	A 16	Address 16
Address 15	A 15	B 31	A 31	A 14	Address 14
+5V	VCC	B 32	A 32	A 12	Address 12
Address 13	A 13	B 33	A 33	A 10	Address 10
Address 11	A 11	B 34	A 34	A 8	Address 8
Address 9	A 9	B 35	A 35	GND	Ground
Address 7	A 7	B 36	A 36	A 6	Address 6
Address 5	A 5	B 37	A 37	A 4	Address 4
Ground	GND	B 38	A 38	WBACK	Write Back
Address 3	A 3	B 39	A 39	BE 0	Byte Enable 0
Address 2	A 2	B 40	A 40	VCC	+5V
Not Connected	NC	B 41	A 41	BE 1	Byte Enable 1
RESET	R42	B 42	A 42	BE 2	Byte Enable 2
Data Command	DC	B 43	A 43	GND	Ground
Memory IO	MIO	B 44	A 44	BE 3	Byte Enable 3
Write/Read	WR	B 45	A 45	ADS	Address Stroke
Ready Return	RDYRTN	B 46	A 46	LRDY	Local Ready
Ground	GRD	B 48	A 48	LDEV	Local Device
Interrupt 3	IRQ 3	B 50	A 50	LREQ	Local Request
Burst Ready	BRDY	B 51	A 51	GRD	Ground
Burst Last	BLAST	B 52	A 52	LUNT	Local Grant
Identification 5	ID5	B 53	A 53	VCC	+5V
Identification 1	ID1	B 54	A 54	ID2	Identification 2
Ground	GRD	B 55	A 55	ID3	Identification 3
Local Clock	LCLK	B 56	A 56	ID4	Identification 4
+5V	VCC	B 57	A 57	LKER	Local Enable
Local Bus Size 16	LBS 16	B 58	A 58	LEADS	Local Enable Address Stroke



Bus PCI (Peripheral Component Interconnect)

(1993-2004)

- E' un bus locale introdotto nel 1992 da un consorzio guidato da Intel
- Può supportare tipicamente 4/8 dispositivi
- Supporta DMA, Bus Master, Plug&Play
- Indipendente dal processore

Larghezza del bus dati	32 bit		64 bit	
Bus indirizzi	32 bit (4 GB indirizzabili)			
Connettore	124 pin (98+22+key)		188 pin (98+22+64+key)	
Alimentazione	+5V	+3.3V	+5V	+3.3V
Clock	33.33MHz	66MHz	33MHz	66MHz
Data rate (teorico)	133MB/s	266MB/s	266MB/s	533MB/s

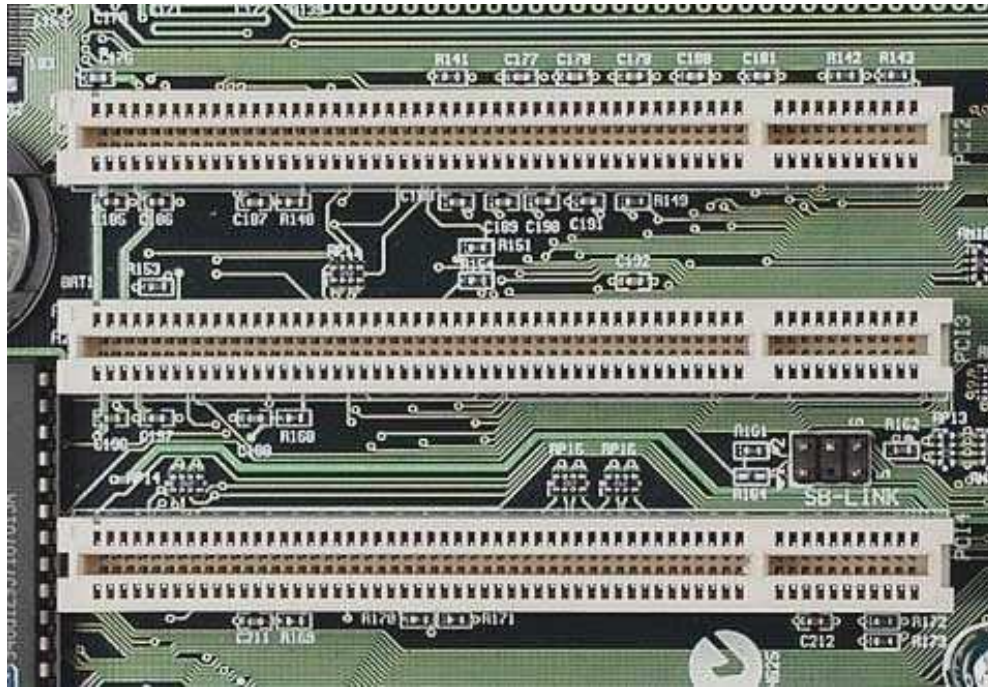
Il bus PCI include 4 linee di interrupt che vengono rese tutte disponibili per tutti i dispositivi (sharing). Tuttavia la posizione fisica delle quattro linee è "ruotata" tra gli slot. In questo modo il carico di lavoro è automaticamente distribuito

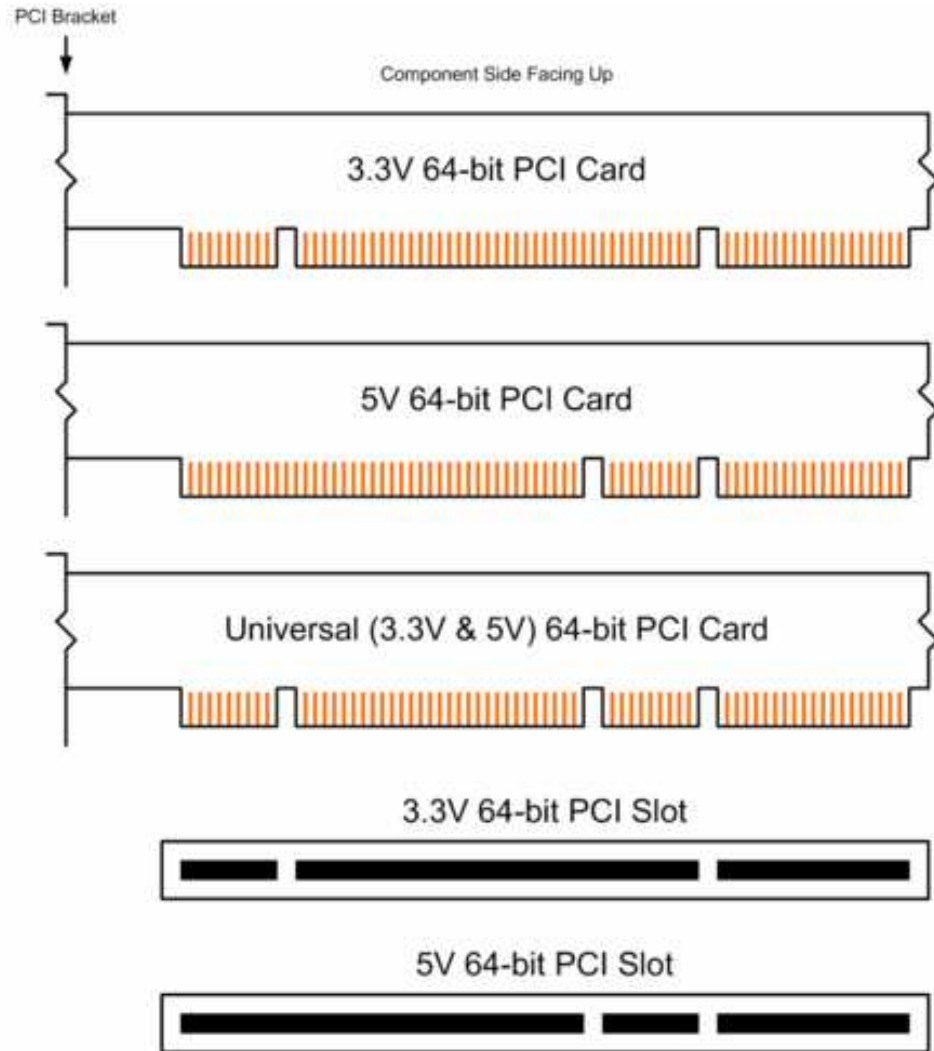
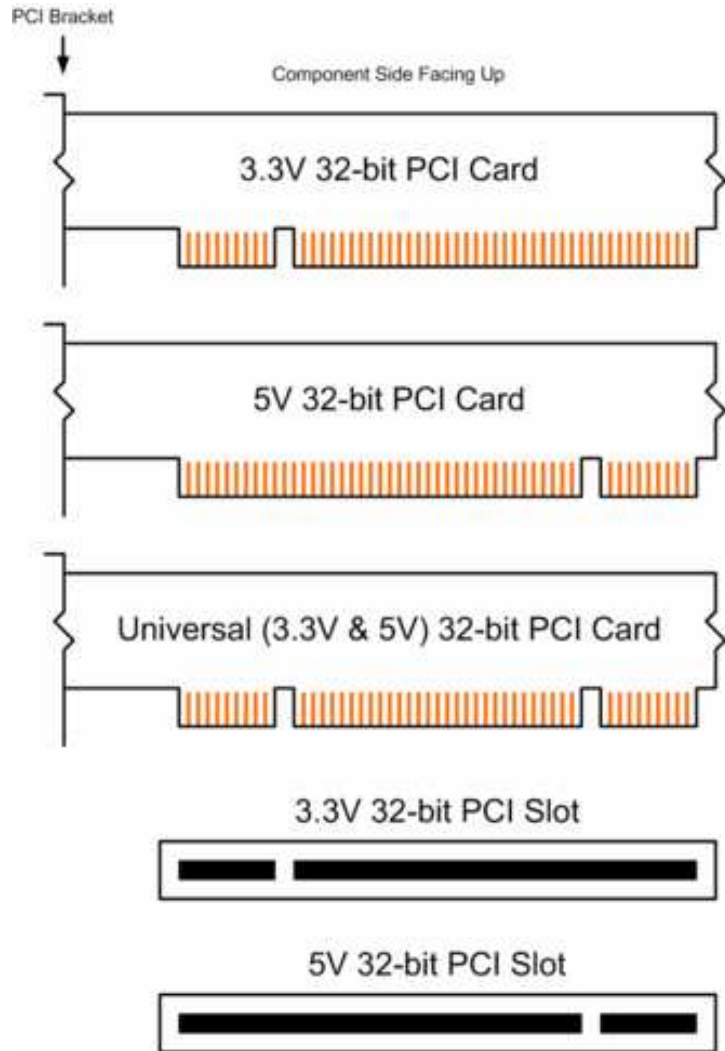
In un sistema tipico, il firmware interroga il bus PCI all'avvio per determinare quali dispositivi sono presenti e di quali risorse hanno bisogno (memoria, I/O, linee di interrupt...). Le risorse vengono allocate e viene comunicato a ciascun dispositivo quale è la sua allocazione.

La mappatura delle linee di interrupt tra il bus e il sistema è strettamente dipendente dal sistema stesso. Questo significa che, a priori, non è possibile sapere la mappatura interrupt dei dispositivi

Ogni dispositivo PCI è identificato da almeno una coppia di valori relativi, rispettivamente, al produttore (Vendor ID) e al dispositivo (Device ID).

<http://www.pcidatabase.com/index.php>

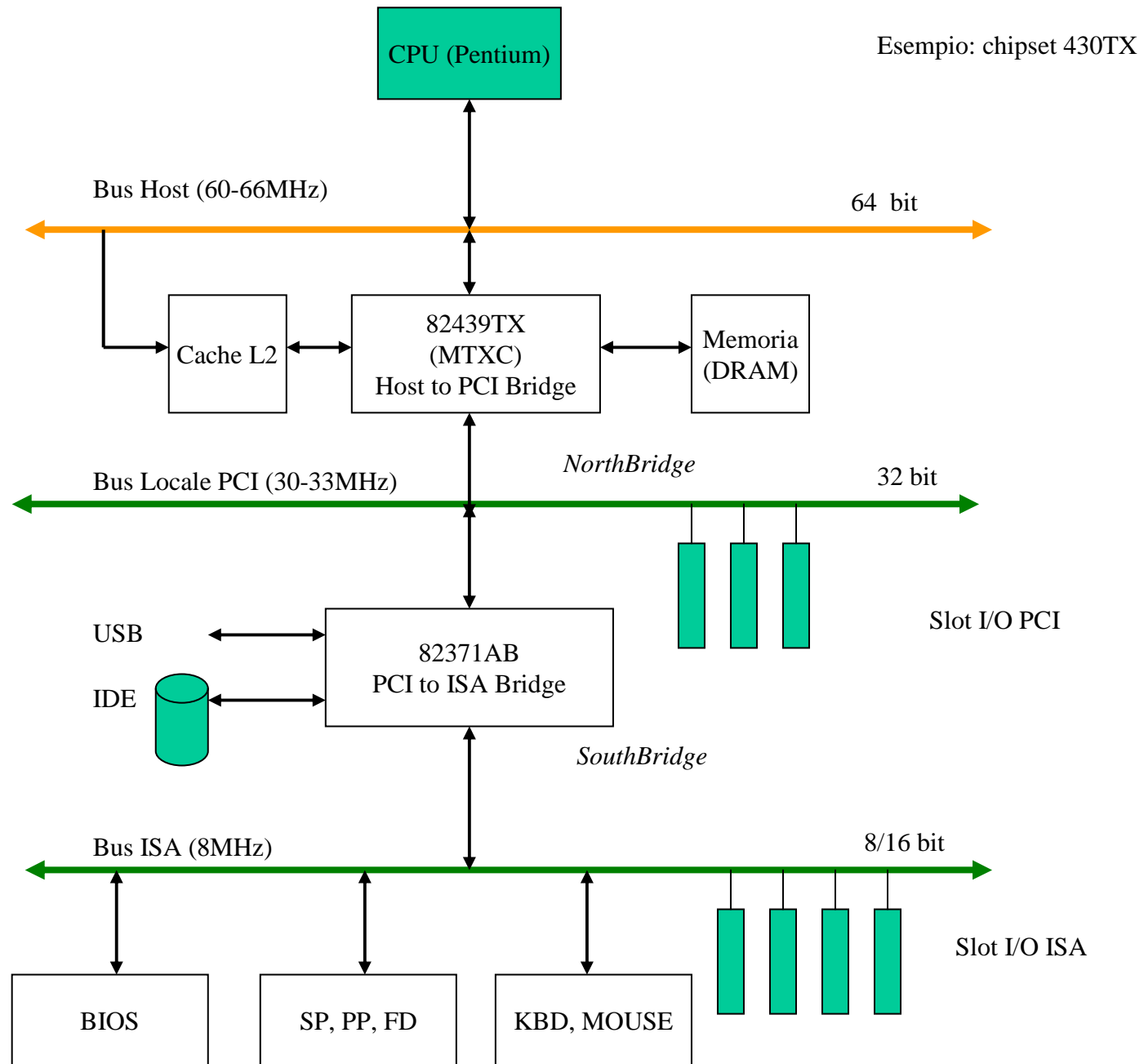




FRONT SIDE BUS (o Host Bus): è il bus che collega la CPU con il controllore della memoria (MCH o North Bridge)

BACK SIDE BUS: collegamento tra la CPU e la CACHE L2

EXPANSION BUS: collegamento dedicato alle periferiche di I/O



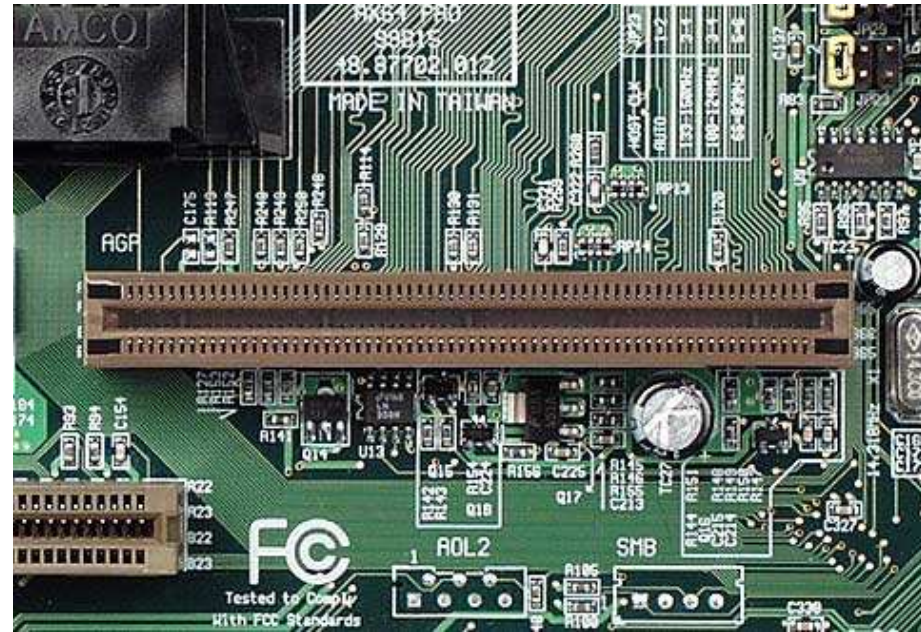
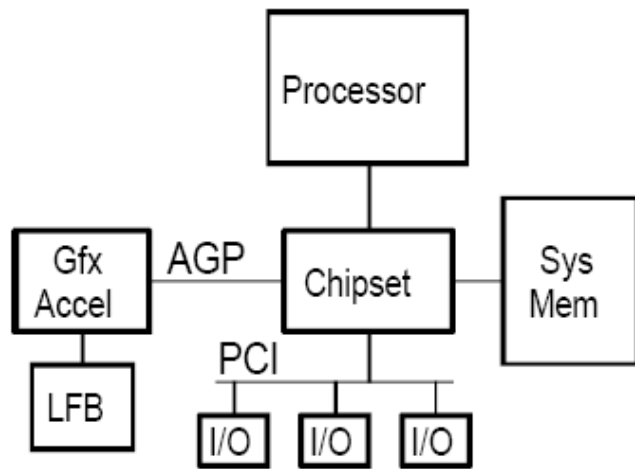
Bus AGP (Accelerated Graphic Port)

- E' un bus specifico per il collegamento di periferiche video
- La definizione più corretta è “porta” in quanto dedicata ad un solo tipo di periferica. Inoltre in un sistema normalmente è presente una sola connessione AGP.
- Viene introdotta allo scopo di aumentare le prestazioni delle schede grafiche (collo di bottiglia del bus PCI):
 - Può accedere direttamente alla memoria di sistema. (AGP Aperture)
 - Sideband Addressing
 - Clock doppio rispetto al bus PCI (confronto AGP1, PCI standard)

AGP 1.0	1x: 32 bit, 66MHz	266MB/s	3.3v
	2x: 32 bit, 66MHz “double data rate”	533MB/s	
AGP 2.0	4x: 32 bit, 66MHz “double data rate”	1066MB/s	1.5v
AGP 3.0	8x: 32 bit, 66MHz (8x double data rate)	2133MB/s	0.8v

Il sideband addressing è una funzionalità della porta AGP che massimizza l'efficienza ed il throughput della connessione separando il bus degli indirizzi da quello dei dati tramite l'aggiunta di 8 linee da 8 bit ciascuna (Sideband Address Port).

Questo consente al controller grafico di ricevere nuove richieste e comandi anche mentre sulle 32 linee principali (Main Address/Data Lines) vi è flusso di dati.



FRONT SIDE BUS (o Host Bus):

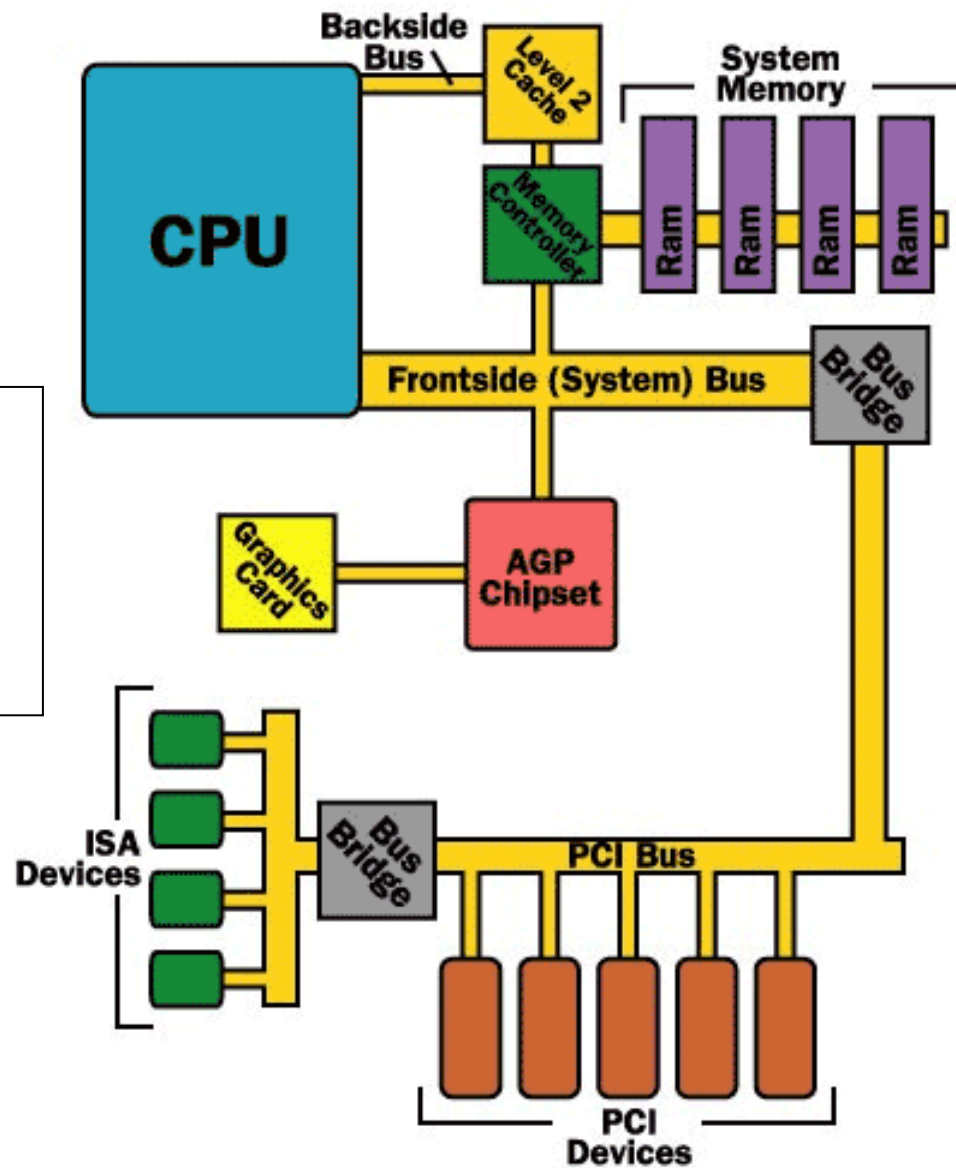
è il bus che collega la CPU con il controllore della memoria (MCH o North Bridge)

BACK SIDE BUS:

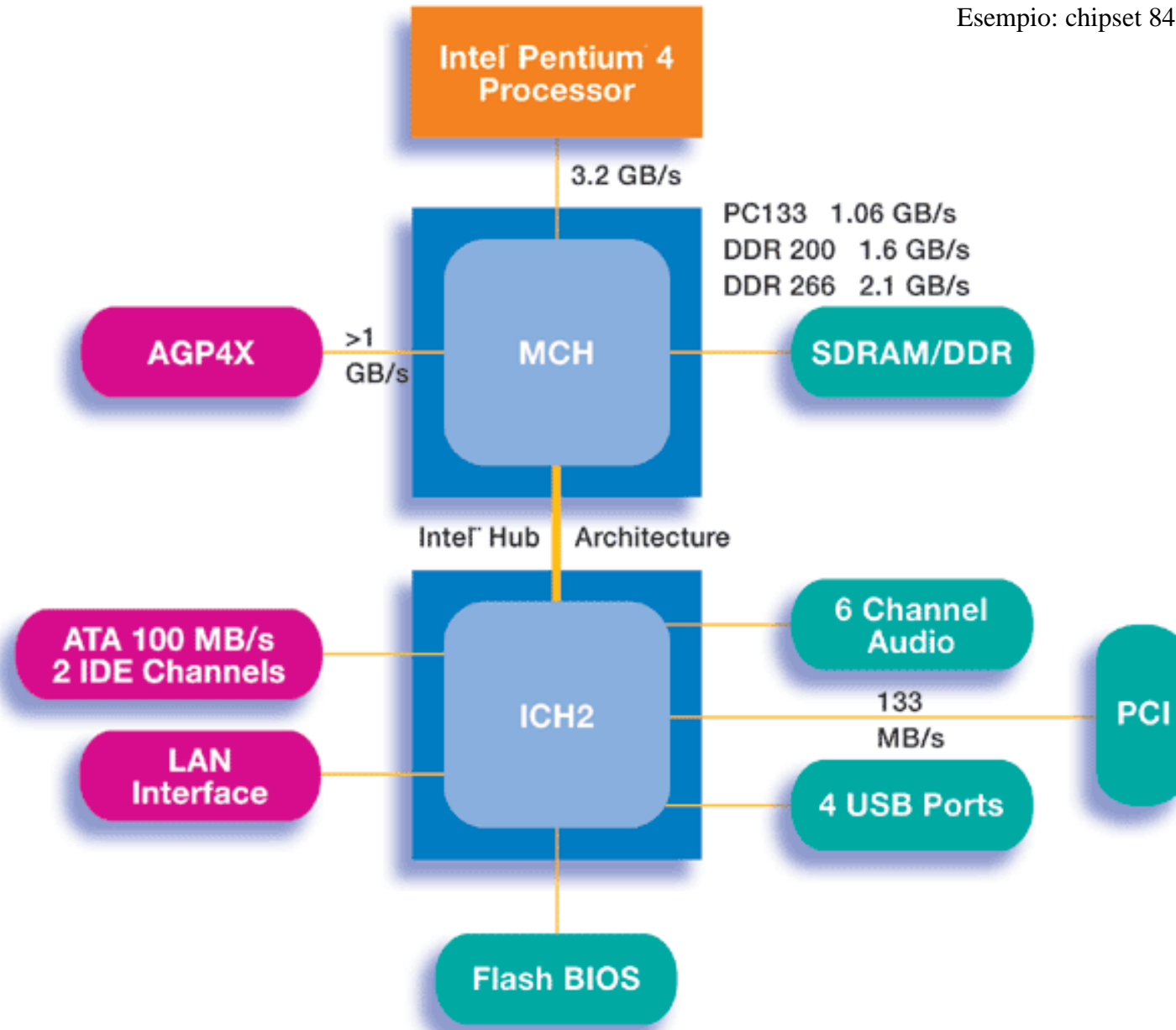
collegamento tra la CPU e la CACHE L2

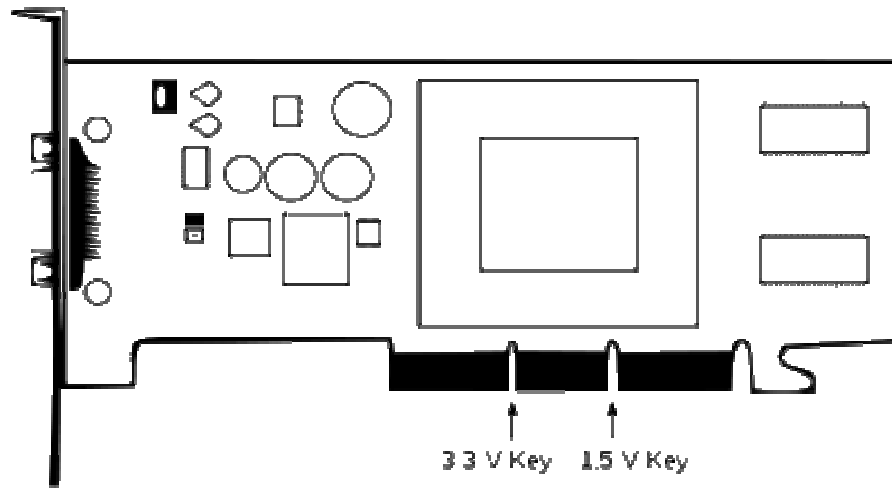
EXPANSION BUS:

collegamento dedicato alle periferiche di I/O



Esempio: chipset 845G





AGP 3.3 V



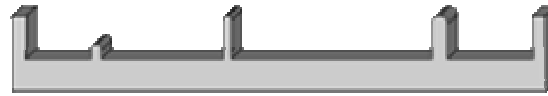
AGP 1.5 V



AGP Universal



AGP Pro 3.3 V



AGP Pro 1.5 V



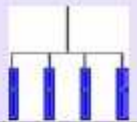
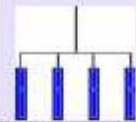

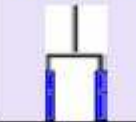
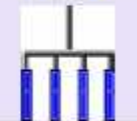




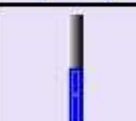
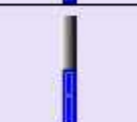
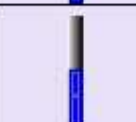
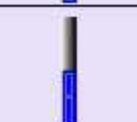
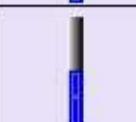
AGP Pro Universal

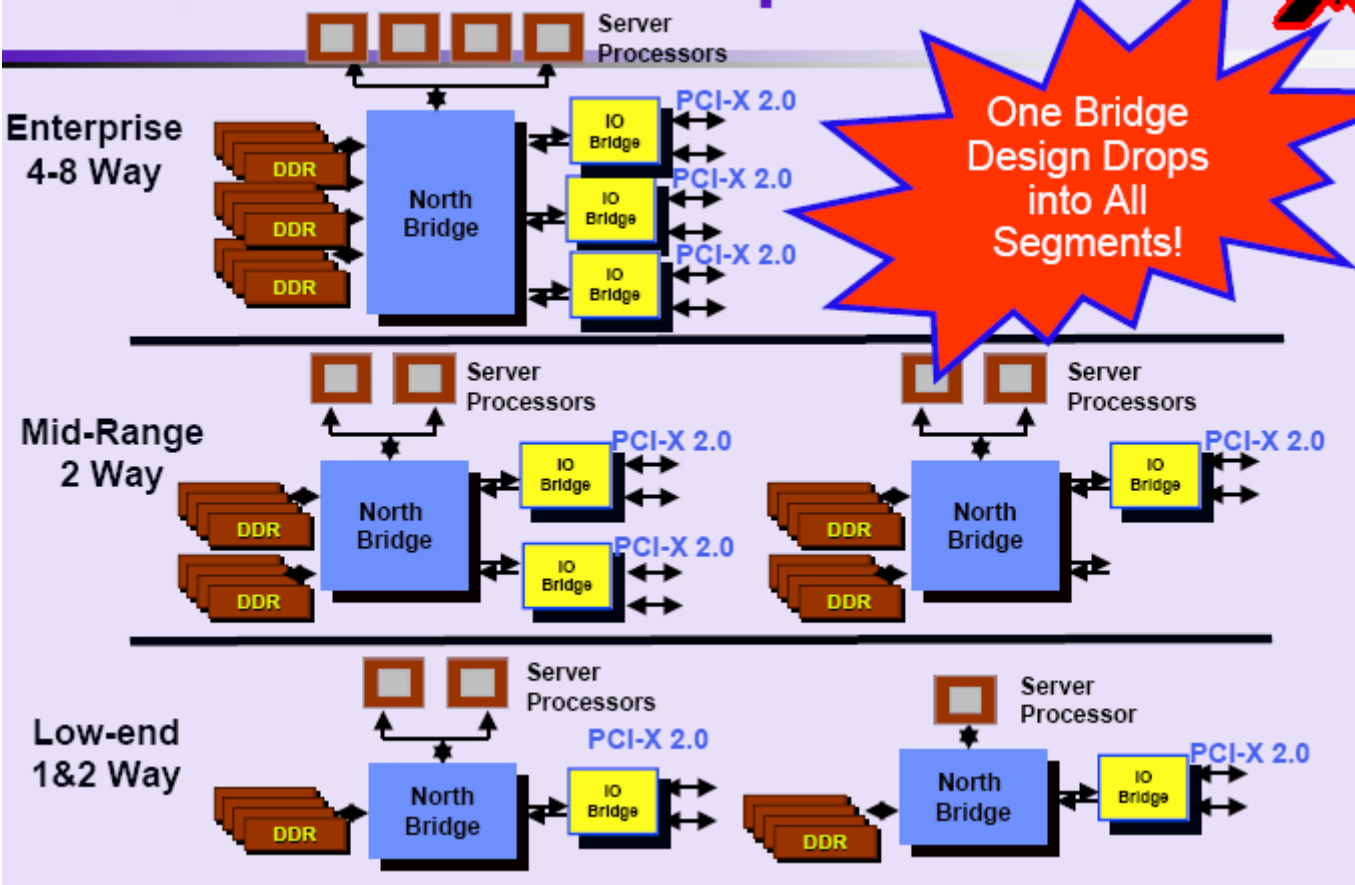


Bus PCI-X

- Evoluzione del bus PCI. E' mantenuta la compatibilità.
- Stesso connettore
- Un controller può gestire fino a 4 schede (banda massima solo punto-punto)
- Aumento della larghezza di banda (fino a 32 volte la capacità del PCI)
- Supporto ECC
- Applicazioni: schede di rete alta velocità (10 Gigabit ethernet, 10Gb Fibre Channel) , controller per dischi ad alte prestazioni
- Introduzione di una versione a 16 bit per applicazioni low-pin-count che necessitano di banda

Larghezza del bus dati	64 bit			
Connettore	188 pin (184 pin + key)			
Alimentazione	+3.3V	+3.3V	+1.5V	+1.5V
Clock	66MHz	133MHz	133MHz DDR	133MHz QDR
Data rate (teorico)	533MB/s	1.06GB/s	2.13GB/s	4.26GB/s

Mode	V _{I/O}	64-Bit		32-Bit		16-Bit
		Slots	MB	Slots	MB	
PCI 33	5V/3.3V		266		133	N/A
PCI 66*	3.3V		533		266	N/A
PCI-X 66	3.3V		533		266	N/A
PCI-X 133 (operating at 100 MHz)	3.3V		800		400	N/A
PCI-X 133	3.3V		1066		533	N/A
PCI-X 266	1.5V		2133		1066	533
PCI-X 533	1.5V		4266		2133	1066



Bus PCI-Express

Bus di interconnessione I/O seriale sia a livello di motherboard che verso il mondo esterno

Compatibile a livello software con il bus PCI

Connessione logica tra le periferiche: *link*

Un *link* può essere costituito da una o più corsie (*lane*)

Al livello fisico una corsia è costituita da una coppia di linee seriali (tx e rx full duplex)

Uno slot PCI-Express può contenere da 1 a 32 corsie (2ⁿ)

La capacità dello slot è indicata con il prefisso 'x' seguito dal numero di corsie (es. 16 corsie: x16)

Gli slot x1 sono impiegati tipicamente per le periferiche più lente (prestazioni equivalenti al PCI) , mentre quelli x16 per le schede video (prestazioni superiori all'AGP)

E' prevista, in alcune implementazioni, la possibilità di *hot-plug*

revisione	Clock	Data rate (per lane)
1.x	1.25GHz	250MB/s
2.0	2.5GHz	500MB/s
3.0	4GHz	1GB/s

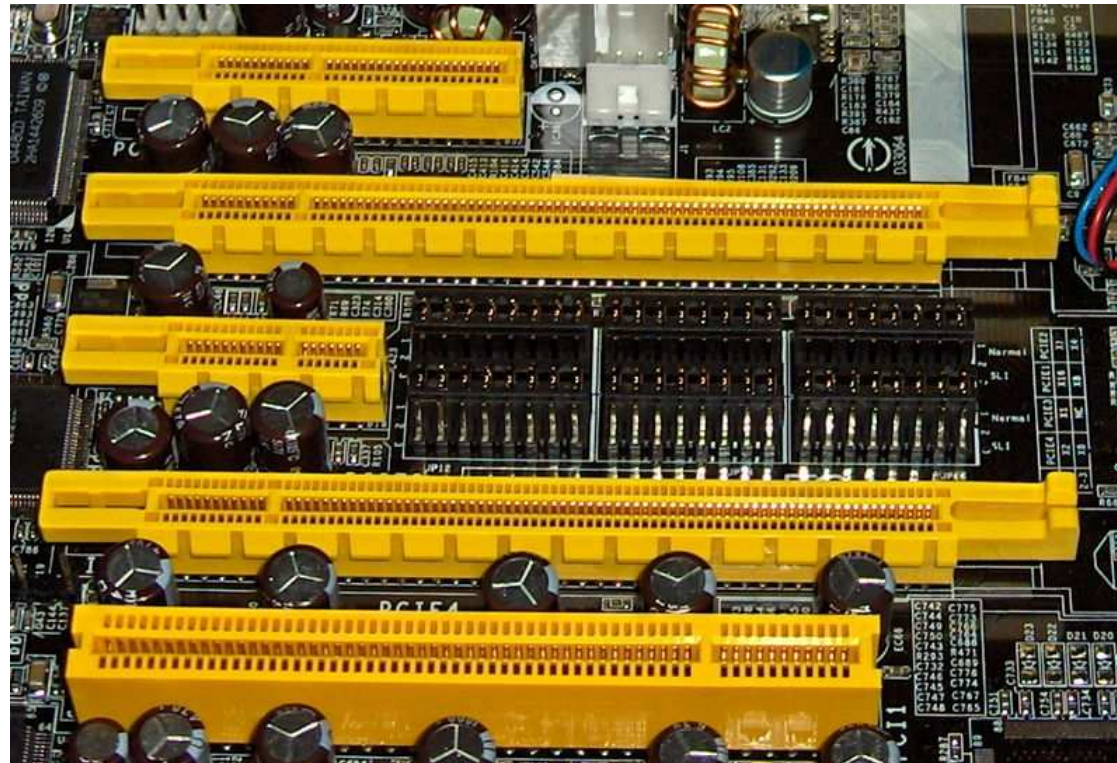
PCIe x4

PCIe x16

PCIe x1

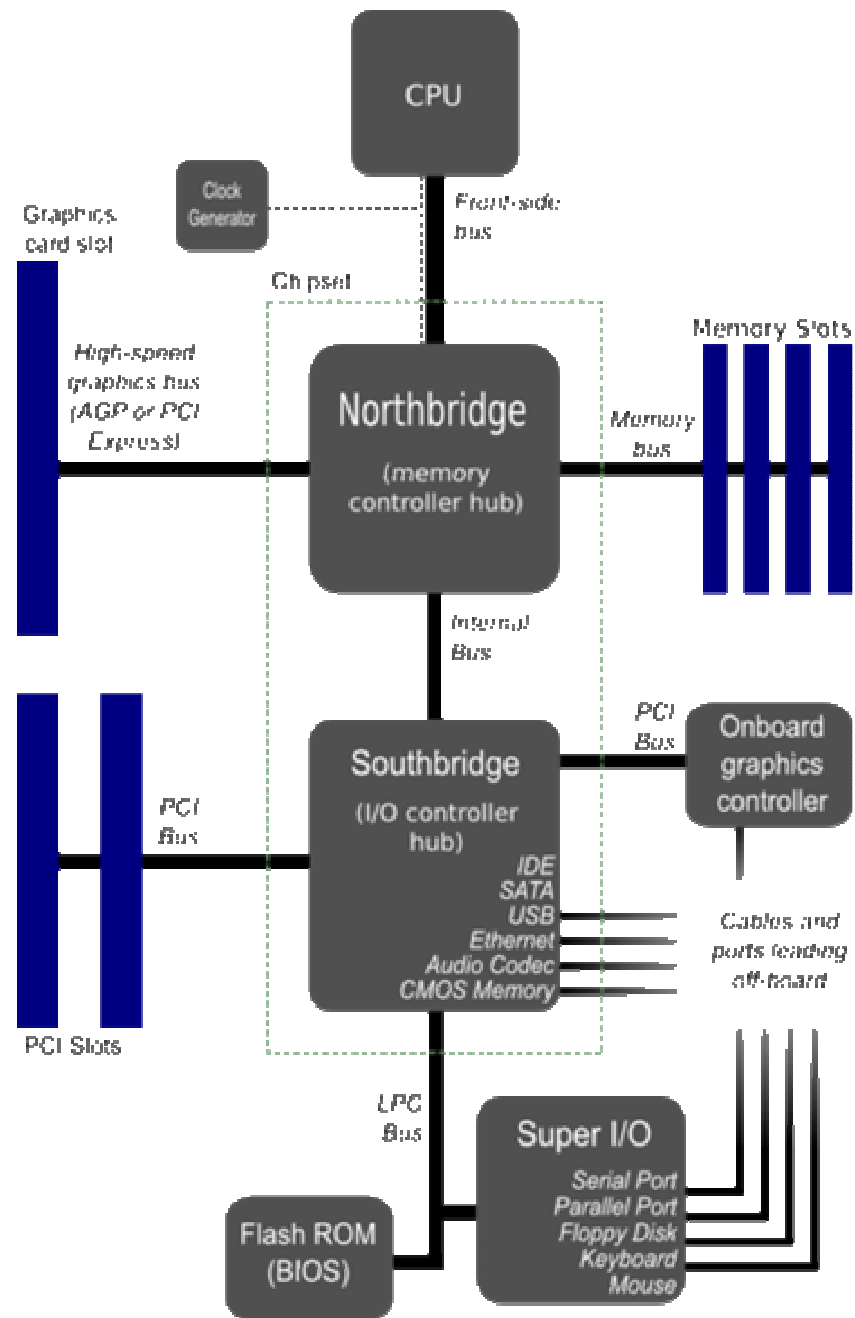
PCIe x16

PCI



Compatibilità:

- Una scheda può essere inserita in uno slot di dimensione maggiore (es una scheda x1 può essere inserita in qualsiasi slot).
- Uno slot può essere cablato con un numero di lane inferiore a quello caratteristico della sua dimensione (es uno slot x16 cablato con solo 4 lane)
- In entrambi i casi viene negoziato il massimo numero di lane compatibili tra slot e scheda
- Di norma non è possibile impiegare schede più larghe dello slot.



Esempio: chipset i975

